

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# 特 許 公 報

⑬ 公告 昭和48年(1973)9月22日

発明の数 1

(全4頁)

1

## ⑭ 半導体装置の製造方法

⑮ 特 願 昭42-40987

⑯ 出 願 昭42(1967)6月28日

⑰ 発 明 者 松下真智子

国分寺市東窓ヶ窪1の280株式  
会社日立製作所中央研究所内

同 古賀康史

同所

同 西松茂

同所

同 徳山巖

同所

⑱ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1の5の1

⑲ 代 理 人 弁理士 薄田利幸

## 図面の簡単な説明

図面はそれぞれ本発明の一実施態様を示したものであつて、第1図はSi基板の上に絶縁物を2重20に形成せしめた場合の縦断面図、第2図はC-V特性曲線図を示したものである。

## 発明の詳細な説明

本発明は表面安定化した半導体装置の製造方法の改良に関するもので、さらに詳言すれば特に半25導体基板表面の電荷密度を任意の値に制御し得る手段を備えた半導体装置の製造方法に関するものであり、これにより電気的特性の極めて優れた半導体装置を提供せんとするものである。

周知のごとく、半導体装置の電気的特性は、そ30の外部雰囲気の影響されやすく、それゆゑ初期の特性を維持するために、半導体基板表面に何らかの方法により各種の保護被膜を形成させていた。

例えばシリコン半導体を例に説明すれば、その表面安定化の一手段として、シリコン基板表面に35SiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>等の絶縁被膜を保護被膜として形成させることが知られている。

2

例えばSiO<sub>2</sub>は、シリコン基板表面を直接酸化するか、あるいはオルガノオキシシランのごときシリコン化合物を熱分解することにより容易に形成させ得るが、このようなシリコンの酸化被膜や5窒化被膜を形成させると、通常、シリコン基板表面の電子濃度が高くなりn形化する。

従来、このn形化のため、およびそのn形化の程度が外部から印加される電界によつて容易に変化するため、シリコン素子の電気的特性を長期に10わたつて十分に安定化することは不可能であつた。とくに、被膜に含まれる微少なイオンが特性に影響を及ぼす半導体素子、例えば電界効果形トランジスタの場合には問題が多い。

この電子濃度の分布、すなわちn形化の程度を15自由に広い範囲にわたつて制御し、さらには基板内部の特性と表面の特性が同一な、いわゆる電気的に中性な電子又は正孔濃度の分布を有する基板表面を形成する技術、あるいはさらに正孔分布を増加させ、P形化する簡便な技術は従来得られていない。

本発明は上記従来の欠点を除去するためになされたもので、半導体基板表面の電荷密度を任意に変化すべく本発明者らが種々実験した結果、あらかじめ基板表面上に形成したSiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>のごとき第1の絶縁物被膜上に第2の絶縁物被膜としてアルミナを被着したところ、前記基板表面の電子濃度の分布を任意に変化し得る事実を見出した。

すなわち、SiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>のごとき絶縁物は下地である半導体基板表面に電子を誘起するとき性質を示すが、アルミナ被膜は逆にこれを打消すような性質、すなわち正孔を誘起するとき特異な性質を示すことを見出したものである。

本発明は上記事実にもとづいてなされたもので、半導体基板表面に電子を誘起するとき性質を示す絶縁物被膜と正孔を誘起するとき性質を示す絶縁物被膜を交互に少なくとも各一層以上前記半

3

導体基板上に形成せしめ、これら絶縁物被膜の膜厚を任意に変化させることにより、半導体基板表面の電子濃度又は正孔濃度の分布、すなわち表面電荷密度を所望の値に制御し得るようになったものである。

これにより、従来の絶縁物被膜を形成させた場合に生ずる半導体基板表面のn形化の程度を押えること、すなわち基板表面に誘起された電子濃度の分布を低下させること、さらには基板内部と同一の電子又は正孔の濃度分布をもたらし状態にすること、さらに進んで正孔を誘起しP形化することが可能となつた。

半導体基板表面の電子又は正孔の濃度分布の程度は、周知のごとくMIS(金属-絶縁物-半導体)構造の素子を作成し、表面電荷密度 $N_{FB}$ を求めることにより容易に知ることができる。例えば従来の技術によつてシリコン半導体111表面上に $SiO_2$ 膜を被着したときには、その表面は通常n形化され(電子が誘起される)、 $N_{FB}$ は $10^{11} \sim 10^{12}/cm^2$ を示す。また、正孔が誘起され、P形化された状態においては、 $N_{FB}$ は負の値を示し、さらにまた電子も正孔も何ら誘起されず、基板内部と同一の電子又は正孔の濃度分布をもたらし状態においては $N_{FB} = 0$ である。

本発明の原理をさらに詳述すれば、先に説明したごとく、半導体基板表面に $SiO_2$ を形成させると基板表面はn形化され、その $N_{FB}$ は $10^{11} \sim 10^{12}/cm^2$ を示すが、 $SiO_2$ の代りに $Al_2O_3$ を形成せしめると、1例として $-2 \times 10^{12}/cm^2$ を示した。すなわち $Al_2O_3$ は負イオンを含有し、基板表面※

4

※に正孔を誘起するとき性質を示した。したがつて、 $Al_2O_3$ のように基板表面に正孔を誘起するとき性質を有する絶縁物被膜と $SiO_2$ のように電子を誘起するとき性質を有する絶縁物被膜を基板表面に組合せて用いるならば、基板表面の電荷密度を任意の値例えば $\pm 2 \times 10^{11}/cm^2$ の範囲に設定することができる。

第1図にその一実施例をあげ本発明を具体的に説明する。同図はSi基板1の111面上に $SiO_2$ 被膜2を形成せしめ、さらにその上に $Al_2O_3$ 被膜3を形成せしめた構造のもので、かかる構造となすことによりSi基板表面のn形化を防止することができる。すなわち、これは微量ながら $SiO_2$ 中に含まれるナトリウムイオンのごとく正イオンが $Al_2O_3$ 中の負イオンによつてあたかも電気的効果が打消されるとき現象を示すからである。したがつて、 $SiO_2$ 膜と $Al_2O_3$ 膜の膜厚を相互に変化させることにより、換言すれば上記各被膜中にそれぞれ含まれる正又は負イオンの相対量を変えることにより $N_{FB}$ の符号および絶対値を任意の値に制御することができる。

上記第1図の構造において、 $SiO_2$ 、 $Al_2O_3$ の厚さを変化させ、これら絶縁物被膜上に金属膜を設けいわゆるMIS構造の素子を作成し、シリコン基板を(+)として直流電圧を加え、これに交流100Kc/sの微小電圧を重ねしC(容量)-V(電圧)特性を求めたところ、第2図に示すごとく結果が得られた。同図において、各特性曲線とそれに対応する測定試料の関係は下記の第1表の通りである。

第 1 表

曲線番号	Si基板	比抵抗	絶 縁 物
1	n形	$1 \Omega-cm$	$Al_2O_3$ 約5100 Å
2	p形	$100 \Omega-cm$	$Al_2O_3$ 約6000 Å
3	p形	$6 \Omega-cm$	$SiO_2$ 500 Å + $Al_2O_3$ 約4000 Å
4	p形	$6 \Omega-cm$	$SiO_2$ 3806 Å + $Al_2O_3$ 約4000 Å

かかる特性曲線図から、アルミナ被膜は基板表面に正孔を誘起するとき性質を有していることがわかる。すなわち、曲線3および4を参照すれば明らかなごとく、絶縁物被膜の膜厚を変化させることにより基板表面の電子又は正孔の濃度分布すなわち表面電荷密度を任意に変化させることができる。

なお、上記実施例において、 $SiO_2$ はSi基板表面の高温酸化により、また $Al_2O_3$ はトリエトキシアルミニウムの加熱分解により形成せしめたものであるが、かかる被膜の形成はその他周知の手段により形成せしめることができ、いずれの方法でもよい。

また、上記実施例には2種の異なる絶縁物被膜

5

をそれぞれ1層づつ1組形成させたが、本発明はかかる構造に限定されるものでなく、要は電氣的に相異なる性質を有する2種の絶縁物被膜をそれぞれ少なくとも1層形成させればよいのであつて、5 所望により2層以上の多重絶縁物層構造となし得ることはもちろんのこと、絶縁物被膜の形成も第1図のごとく第1層を必ずしも $\text{SiO}_2$ 構造となす必要はなく、 $\text{Al}_2\text{O}_3$ の上に $\text{SiO}_2$ を形成させても同等の結果が得られることは云うまでもない。さらにまた、上記実施例には絶縁物被膜の組合せ10 として $\text{SiO}_2$ と $\text{Al}_2\text{O}_3$ の例を示したが、 $\text{Si}_3\text{N}_4$ と $\text{Al}_2\text{O}_3$ の組合せにおいても同等の作用効果が認められた。

以上の説明は、便宜上Si半導体に対してなされたが、その他Ge, GaAs等の半導体について15 もSiの場合と同等の作用効果が認められ、広く半導体一般に適用し得るものである。その代表的応用例として特に電界効果形トランジスタに適用すれば画期的な特性を有する装置を得ることができる。たとえば、n-チャンネル電界効果型トランジスタについて述べるなら、従来の技術では主として $\text{SiO}_2$ 膜を絶縁層としているため、下地半導体基板表面領域にはn-チャンネルが形成され20 デプレッション(depletion)型構造のものが得られるにすぎなかつた。しかしながら、本発明によれば、上記基板表面にはp-チャンネルが形成されるためエンハンスメント(enhancement)型構造のものが得られ、画期的な電界効果型トランジスタを実現することができる。デプレッション型に比べエンハンスメント型がすぐれていること30 とは周知の通りであり、電力損失のきわめて少ないトランジスタが得られる。また、PNP型トランジスタについて述べるなら、従来のものは半導体基板表面に $\text{SiO}_2$ を形成させたのち基板側面にPN接合が露出しないようにn型拡散層の外周35 部基板表面領域にP型不純物を拡散せしめ上記n型拡散層から $\text{SiO}_2$ 膜の形成により基板表面に形成されたn-チャンネルに通ずる導電層を分断し、電流が基板周辺に漏れないようにしていた。したがつて、素子自体の大きさを小型化するうえで支障をきたすことはもちろんのこと、電流漏れを防止するために拡散工程を増設しなければならないといつた欠点を有していた。しかしながら、本発明によれば基板表面領域にp-チャンネルが形成

6

されているため基板表面には従来のようにPN接合が形成されない。したがつて、従来のようにn型拡散層の外周部基板表面領域にP型不純物を拡散する必要がなく素子を小型化し得るすぐれた特5 長を有している。

絶縁物被膜を例えば上記実施例のごとく2重層構造となした場合を例に、本発明の応用例を要約して下記に列举すれば、

- (1) 半導体上の第1層が $\text{SiO}_2$ 、第2層が $\text{Al}_2\text{O}_3$ である場合。
- (2) 半導体上の第1層が $\text{Al}_2\text{O}_3$ 、第2層が $\text{SiO}_2$ である場合。
- (3) 上記(1)、(2)において、半導体内に接合構造を有し、2層の絶縁物被膜を通してあけられた孔によつて基板の目的領域に金属配線を作り、これが2層の被膜上で相互に連結して素子または回路を形成する場合。
- (4) 上記(3)において、配線金属が第1層目と第2層目の中間に存在する場合。
- (5) 上記2層で、第1層は $\text{SiO}_2$ であり、これに例えば $\text{P}_2\text{O}_5$ のごとき不純物を少量添加して、安定化処理を加えたもので、第2層が $\text{Al}_2\text{O}_3$ である場合。
- (6) 上記(1)において、 $\text{SiO}_2$ の代りに $\text{Si}_3\text{N}_4$ を用いた場合。

等があげられる。しかしながら本発明はこれらに限定されるものでないことは上述の通りである。

#### ⑤特許請求の範囲

1 半導体基板表面にアルミナ膜を被着した後、上記アルミナ膜被着によつて上記半導体基板表面領域に形成された正孔層を打消さない程度に上記アルミナ膜上に酸化硅素層を被着することを特徴とする半導体装置の製法。

#### ⑥引用文献

特 公 昭40-1381

特 公 昭44-17937

特 公 昭44-18980

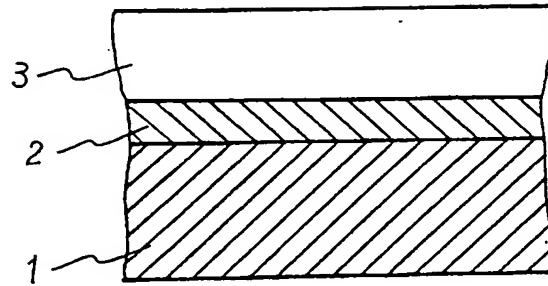
IBM Journal of Research &  
Development 8 (4) 1964.9  
P 376~384

電子材料 5 (7) 1966.7 P11~12

7

昭和41年電気四学会連合大会予稿集 版1254  
 MOS 造のMetal-Oxide によるPassivation

\* 1 図



\* 2 図

